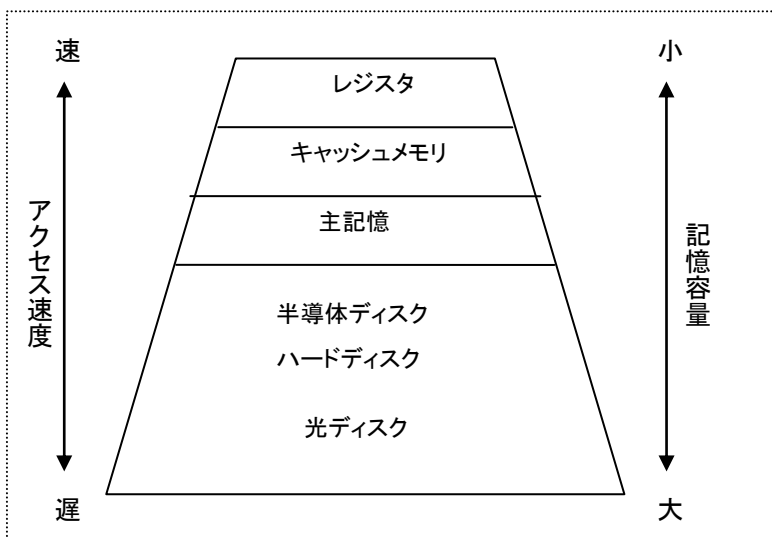


第10回 メモリ階層とキャッシュ (第6章 キャッシュメモリ)

教科書の第6章はキャッシュメモリと仮想メモリを扱っているが、仮想メモリはオペレーティングシステム(OS)の機能の一部として理解した方が分かりやすい。ただ、基礎となる「メモリ階層」の考え方は共通しているため、その考え方はきちんと理解しておこう。

[1] 記憶の階層

「記憶の階層」とは、コンピュータの中で使われるさまざまな記憶装置が、右の図(教科書図 7.3)のような階層を成していると考え、階層間でうまくやりとりをすることによって性能を向上させようとする一連の考え方である。



右図では、上に行くほど「高速だが少量」、下に行くほど「大量だが低速」となっている。高速かつ大量というメモリ素子・メモリ装置は存在しない。その条件下で、まずは適材適所にメモリ素子・装置を使い分けることが必要になる。

それに加えて、教科書 6.1.1 に出てくる「時間的参照局所性」「空間的参照局所性」の性質が成り立つ環境では、頻りに使うデータを高速メモリに、めったに使わないデータを低速メモリに置くことによって、平均的な処理速度を向上させることができる。この原理を、主記憶とキャッシュメモリ(CPUチップ内に置いた高速のメモリ)の間に適用するのが「キャッシュ」であり、ハードディスクと主記憶の間に適用するのが「仮想記憶」である。

この章では、この原理にまつわる諸概念を学ぶ。

まずは、様々なメモリ素子・メモリ装置の位置づけやアクセス速度を整理する。

a. 次のメモリについて、右図のコンピュータ内での場所(①~③)を書け

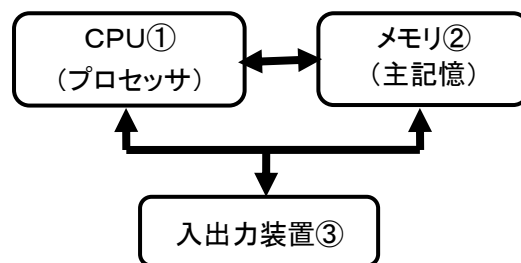
- ア) 汎用レジスタは () にある
- イ) キャッシュメモリは () にある
- ウ) 主記憶(メインメモリ)は () にある
- エ) 二次記憶(ハードディスクなど)は () にある

b. 次の中から正しいものを選び

- ① 主記憶装置(メインメモリ)は CPU から直接命令読出し・データの読み・書きにアクセスされる記憶装置であり、補助記憶装置は大量データの長期保存に使用される記憶装置である
- ② 主記憶装置(メインメモリ)は、一般にもっとも容量が大きい
- ③ 補助記憶装置は、一般に主記憶の代りとして利用でき、CPUから直接命令の読出しやデータの読み・書きができる
- ④ 補助記憶装置は、ハードディスク装置などコンピュータ筐体の一部として置かれているもので、CD, DVD や USB メモリのように後から装着するものは含まない

c. メモリ階層の概念の説明で、正しいものには○、間違っているものには×を付けよ

- ① 高速なほど高価、低速なほど安価なので、コンピュータには低速な記憶装置だけを大量に備えて大量データを保管するのがよい
- ② 高速なほど高価、低速なほど安価なので、コンピュータには高速な記憶装置だけを少量備えて高速化するのがよい
- ③ 高速なほど高価、低速なほど安価なので、コンピュータにはその時代・時代によって丁度よい中庸な記憶装置(現在はハードディスクから半導体ディスクに移行中である)を備えるのがよい
- ④ 高速なほど高価、低速なほど安価なので、コンピュータにはさまざまなレベルの記憶装置を価格に応じた量だけ合わせて備え、データが必要に応じて移動して記憶させるのがよい



d. アクセス速度(アクセス時間)の短い順に並べたものはどれか

- ① キャッシュ > レジスタ > 主記憶 > ハードディスク > 光ディスク
- ② レジスタ > キャッシュ > 主記憶 > ハードディスク > 光ディスク
- ③ キャッシュ > レジスタ > 主記憶 > 光ディスク > ハードディスク
- ④ レジスタ > キャッシュ > 主記憶 > 光ディスク > ハードディスク

e. 容量の小さい順に並べたものはどれか

- ① キャッシュ > レジスタ > 主記憶 > ハードディスク > (大量枚の)光ディスク
- ② レジスタ > キャッシュ > 主記憶 > ハードディスク > (大量枚の)光ディスク
- ③ キャッシュ > レジスタ > 主記憶 > (大量枚の)光ディスク > ハードディスク
- ④ レジスタ > キャッシュ > 主記憶 > (大量枚の)光ディスク > ハードディスク

f. 下記の比較表を完成させよ。状況は概念的なものである。各欄には大小関係による順位(1~5)を入れてみよ

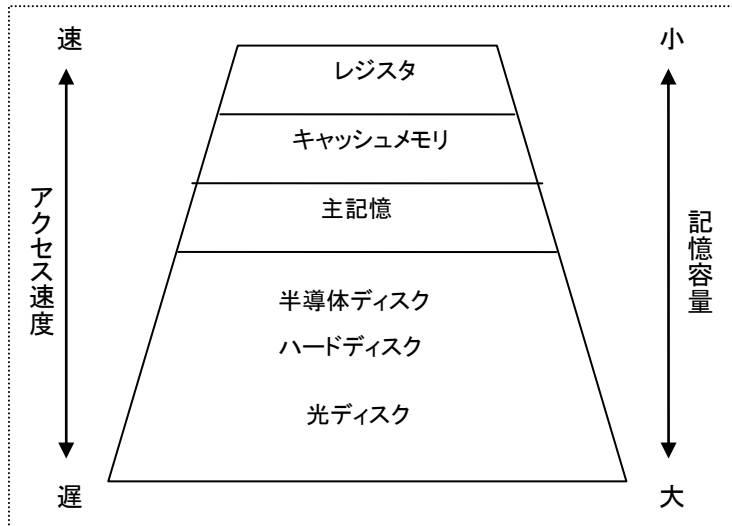
動作原理	アクセス速度	ビット当りの回路の面積	発熱量	記憶容量	現状での使用場所
S(Static)RAM					レジスタ・キャッシュ
D(Dynamic)RAM					主記憶
フラッシュメモリ					半導体ディスク
磁気記録					ハードディスク
光記録				(*)	CD や DVD

(*)但し、光記録媒体は取り外し可能で、10000枚~100,000枚単位での記憶容量を考慮すること

g. 右図の言わんとすることを説明せよ

h. メモリ階層の概念の説明で、正しいものはどれか

- ① 高速なほど高価、低速なほど安価なので、コンピュータには低速な記憶装置だけを大量に備えて大量データを保管するのがよい
- ② 高速なほど高価、低速なほど安価なので、コンピュータには高速な記憶装置だけを少量備えて高速化するのよい
- ③ 高速なほど高価、低速なほど安価なので、コンピュータにはその時代・時代によって丁度よい中庸な記憶装置(現在はハードディスクから半導体ディスクに移行中である)を備えるのよい
- ④ 高速なほど高価、低速なほど安価なので、コンピュータにはさまざまなレベルの記憶装置を価格に応じた量だけ組合わせて備え、データを必要に応じて移動して記憶させるのよい



[2] キャッシュメモリ

a. キャッシュメモリの説明として正しいものには○、間違っているものには×をつけよ

- ① キャッシュには隠し場所という意味がある。キャッシュメモリは、主記憶(メインメモリ)とCPUの間であって、主記憶から読出した情報を一時的に隠して保存しておき、次にCPUがアクセスしたときにキャッシュメモリから高速に取出してCPUに返す。
- ② キャッシュメモリは、メモリ階層(教科書の図 7.3)の中ではレジスタと主記憶(メインメモリ)の間にある。つまり、CPU

がデータをアクセスするときに、レジスタにあれば最も高速だが、主記憶にあるとかなり時間がかかる。他方、レジスタの容量は少なく(8~32個ぐらい)、主記憶はすべての定数・変数を置くのに十分な量(一般PCだと500メガバイト以上)あるのが普通である。キャッシュメモリはその中間に当たる。

③ キャッシュを持つシステムの場合、CPUがメモリを読み出しアクセスしようとする、いつもまず主記憶(メインメモリ)にアクセスし、次に読出したデータをキャッシュに置く。

④ キャッシュメモリは、最近ではCPUと同じLSIチップの中に作り込まれることが多い。これは、CPUとキャッシュメモリとの間のやり取りをLSIチップ内で高速に行うためである。

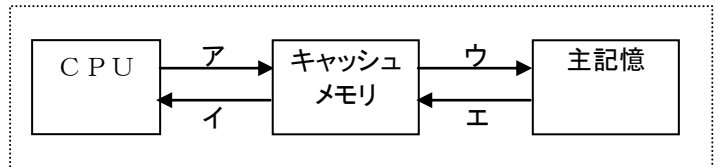
b. 読出しのアクセス時のキャッシュメモリのアクセス手順で正しいものを選び

- ア キャッシュに行き、そこに欲しいデータがあるかないかチェックする
- イ データをCPUへ返す
- ウ データをキャッシュへ返す
- エ 主記憶に行き、データを読み出す

- ① CPUがアクセスしようとする ⇒ ア ⇒ キャッシュに欲しいデータがない場合 ⇒ イ
- ② CPUがアクセスしようとする ⇒ ア ⇒ キャッシュに欲しいデータがない場合 ⇒ エ ⇒ ウ ⇒ イ
- ③ CPUがアクセスしようとする ⇒ エ ⇒ ア ⇒ キャッシュに欲しいデータがない場合 ⇒ ウ ⇒ イ
- ④ CPUがアクセスしようとする ⇒ ア ⇒ エ ⇒ キャッシュに欲しいデータがない場合 ⇒ ウ ⇒ イ

c. 読出しのアクセス時の動作を、右図を用いて

説明したい。①ア~エの矢印に「動作」を書き足して図を完成し、②キャッシュ読出し時の動作を図のア~エを用いて説明する文を書いてみよう。



[3] 参照の局所性、ヒット率、キャッシュの性能

a. 参照の局所性について、正しいものには○、間違っているものには×をつけよ

- ① 参照の局所性は、アクセスがメモリのあちこちの場所に飛ぶのではなく、片寄っている(固まっている)ため、そのあたりのデータをキャッシュに取り込んでおけば、ほとんどのアクセスの場合にキャッシュから持ってくるができるということである
- ② 参照の局所性は、コンピュータの原理から考えて、必ず成り立つものである
- ③ 参照の空間的な局所性は、近い時間内に近いアドレスが参照される可能性が高いということである
- ④ 参照の時間的な局所性は、同じデータが近い時間内に(繰り返し)アクセスされる可能性が高いということである

b. ヒット率について、正しいものには○、間違っているものには×をつけよ

- ① ヒット率は、キャッシュ上のそれぞれのアドレスが何回ヒットするかを、全アクセス数で割った確率である
- ② ヒット率は、アクセスしたデータがキャッシュ上にあった回数を、全アクセス数で割った確率である
- ③ ヒット率と、ミス率(教科書ではミスヒット率)と、主記憶へデータを取りに行かなければならなかった確率とを加えると、1になる
- ④ キャッシュメモリの大きさが決まると、ヒット率を計算することができる

c. 参照の局所性とヒット率の関係について、正しいものには○、間違っているものには×をつけよ

- ① 参照の局所性とヒット率は無関係である
- ② 参照の局所性が高いと、ヒット率は低下する
- ③ 参照の局所性が高いと、ヒット率は増加する
- ④ 参照の局所性が高いとき、もしCPUのメモリへのアクセス頻度が高ければヒット率は増加し、アクセス頻度が低ければヒット率は減少するが、参照の局所性が低い時は、ヒット率はCPUのメモリへのアクセス頻度の大小には依存しない。

d. 有効アクセス時間(アクセス時間の期待値)とヒット率との関係を式で表せ

-
-
- e. 有効アクセス時間(アクセス時間の期待値)について、正しいものには○、間違っているものには×をつけよ
- ① キャッシュメモリのアクセス時間 T_c が主記憶 T_m より速い(短い)とすると、有効アクセス時間 T_e はヒット率が高いほど長くなる
 - ② キャッシュメモリのアクセス時間 T_c が主記憶 T_m より速い(短い)とすると、有効アクセス時間 T_e はヒット率が高いほど短くなる
 - ③ ヒット率が同じだとすると、有効アクセス時間 T_e は主記憶とキャッシュメモリのアクセス時間比率(T_m/T_c)が大きい(キャッシュのほうが主記憶に比べて遥かに速い)ときに、短くなる
 - ④ ヒット率が同じだとすると、有効アクセス時間 T_e は主記憶とキャッシュメモリのアクセス時間比率(T_m/T_c)が小さい(キャッシュと主記憶のアクセス速度の差が小さい)ときに、短くなる
- f. 主記憶のアクセス時間が 5 ナノ秒、キャッシュのアクセス時間が 0.5 ナノ秒のとき、ヒット率を0~1の間で変化させると、有効アクセス時間はどのように変化するか。
- ① グラフを書いて説明せよ

② 有効アクセス時間が 1 ナノ秒になるためには、ヒット率がいくつでなければならないか

.....

.....

- g. 主記憶とキャッシュメモリのアクセス時間比率(T_m/T_c)が6のとき(教科書 p79 の例と同じ条件)、有効アクセス時間 T_e がキャッシュのアクセス時間 T_c の約5割増し(約 1.5 倍)になるのは、ヒット率がいくつのときか。
- ① 95% (0.95)
 - ② 90% (0.9)
 - ③ 80% (0.8)
 - ④ 70% (0.7)

[補足] 教科書 p79 で、ハーバードアーキテクチャについて言及されている。ハーバードアーキテクチャは教科書 p35 に説明があるとおりである。要するに、CPUからメモリへのアクセスは、命令の読出しと、データ(オペランド)のアクセス(読みか書きか)の2通りがある。単純なアーキテクチャのモデルではこれらは同じ1つの経路を通過してアクセスするが、ハーバードアーキテクチャではこの2つを分離し、命令読出し用の経路と、データ(オペランド)アクセス用の経路を、別々に設ける。そこで、もしキャッシュが置かれるとすれば(最近のCPUではキャッシュは必須であるが)、別々のキャッシュを置くことになる。もう少し言うと、実はキャッシュを別々にすることが、ハーバードアーキテクチャの1つの大きなポイントでもある。なぜなら、命令読出しとデータアクセスは、そのアクセスのパターンが異なり、《参照の局所性》に関する性質も異なるからである。たとえば Intel Core 2 では、1次キャッシュが、命令用キャッシュ(I-Cache)、データ用キャッシュ(D-Cache)それぞれが 32KB, 8-way associativity, 128bit バス, 64B line size になっている。

[補足] 教科書にはさらっとしか書いていないが、確認しておきたいこと。キャッシュは、同じ大きさの(=固定長の)ブロックに分割されている。ブロックの大きさ(キャッシュラインサイズとも呼ばれる)はそのCPU機種(CPUチップにキャッシュが同居しているから一緒に作られる)によって決まっており、たとえば Core 2 では64バイトで、命令キャッシュの場合命令長が4バイトなら16個が入る。Core 2 (Pentium 系一般に)の命令長は可変で、長い命令では7バイトになり、個数は減ることになる。

h. 命令の実行は、ジャンプ(条件分岐、無条件分岐のどちらか)が起こらない限り、アドレス順に進む。(プログラムカウンタを1ずつ増やす。) 仮に、すべての命令が4バイトである(固定長)とし、(L1)ブロック長(ラインサイズ)64 バイトとしよう。まったく空のキャッシュに対して、1024 個の命令を次々に命令を読んで実行する場合、キャッシュのヒット率はどうなるだろうか？

(注: 考え方は、メモリ中の連続したアドレスに置かれた命令を次々に読み出す。1つの命令は4バイトを占める。つまり1つ目の命令は0~3番地、2つ目の命令は4~7番地、という様に読み出されてゆく。他方、キャッシュは最初の0~3バイト目にある1つ目の命令を読んだときに、キャッシュにはないので「ミス」になるが、主記憶から1ブロック分(0番地から63番地までの64バイト分)を一括して読み出し、キャッシュ内に置く。次の2番目の命令(4~7番地)の読出しは、既にキャッシュ中に入っているため「ヒット」し、キャッシュから読出す。命令を次々に読出し、16番目の命令まではキャッシュ内から読めるが、17番目の命令(64~67番地)を読み出そうとすると、キャッシュには無い。なので「ミス」になり、主記憶から次のブロックの64バイト分を読出す。これを繰り返す。

- ① 1024 個の命令を読み出す間に「ミス」が 32 回起こるので、ヒット率は $1 - (32/1024) = 0.9375$
- ② 1024 個の命令を読み出す間に「ミス」が 64 回起こるので、ヒット率は $1 - (64/1024) = 0.96875$
- ③ 1024 個の命令を読み出す間に「ミス」が 64 回起こるので、ヒット率は $64/1024 = 0.0625$
- ④ 1024 個の命令を読み出す間に「ミス」が 32 回起こるので、ヒット率は $32/1024 = 0.03125$

i. 上では、ジャンプが無い場合を想定したが、ループがある場合を考える。仮に、上と同様1番目の命令から実行をはじめめるが、18命令目から21命令目までを10000回ループし、その後上と同様にジャンプなしで1024番目の命令までまっすぐ実行するとする。この場合、キャッシュのヒット率はどうなるだろうか

(注: ループしている間は、同じキャッシュブロック内の命令を実行し続けることは、理解できるだろうか。第17番目の命令を実行するときに「ミス」が起こり、その時に主記憶から持ってきたブロックは、17~32番目の命令までを含んでいる。だから、このループを実行している間は、キャッシュのミスは起こらない。)

- ① $40000 + 1020$ 個の命令を読み出す間に「ミス」が 32 回起こるので、ヒット率は $1 - (32/41020) = 0.9992$
- ② $40000 + 1020$ 個の命令を読み出す間に「ミス」が 64 回起こるので、ヒット率は $1 - (64/41020) = 0.9984$
- ③ $40000 + 1020$ 個の命令を読み出す間に「ミス」が 32 回起こるので、ヒット率は $32/41020 = 0.0008$
- ④ $40000 + 1020$ 個の命令を読み出す間に「ミス」が 64 回起こるので、ヒット率は $64/41020 = 0.0016$

《解答》

a. ア) ① イ) ① ウ) ② エ) ③

キャッシュメモリは CPU チップの中に組込む高速メモリで、主記憶のデータの一部をコピーして持っている。機能的には CPU の外側とも言える(教科書の図 8.1 を見よ)が、このブロック図では①とせざるを得ない。

また、外部記憶、補助記憶は、CPU やメモリから見ると「入出力装置」の一部として接続されている。

b. ① (③は直接読書きはできず、かならず主記憶に移してから読み書きする。④は必ずしも筐体の一部である必要はなく、外部に接続したものでよい)

c. ①× ②× ③× ④○ (③で言うような「中庸な装置」は現在のところは存在しない)

d. ② (光ディスクは、媒体が交換可能(リムーバブル)な装置を仮定する) e. ② (光ディスクは大量枚とする)

f.

動作原理	アクセス速度	ビット当りの回路の面積	発熱量	記憶容量	現状での使用場所
S(Static)RAM	高速5	大1	大1	小1	レジスタ・キャッシュ

D(Dynamic)RAM	4	小2	小2	2	主記憶
フラッシュメモリ	3	?	?	3	半導体ディスク
磁気記録	2	?	?	4	ハードディスク
光記録	低速1	?	?	大5(*)	CD や DVD

この表は概念的なもので、個別の製品で見ると外れるものも多いだろう。

面積については、フラッシュメモリは半導体で、現在は DRAM より多少大きいかもかもしれない。磁気記憶や光記憶は半導体と面積を比較しようがない。発熱量も、磁気記憶・光記憶と半導体記憶を比較するのは難しい

g.

一般に、高速なメモリほど発熱量も多くビット当りの面積が大きく、結果として大量には持てない。したがって、高速だが少量ということになる。逆に、低速なメモリは発熱量も小さくビット当り面積も小さく、結果として大量にもてるので、低速だが大量ということになる。つまり、アクセス速度(高速か低速か)と、記憶容量(大量か少量か)とは、一般に背反し同時に満たすことはできない。要求に応じた適材適所の配置が望まれる。

h. ④

[2] a. ① ○ ② ○ ③ × ④ ○

②: これはプログラムの作り方の問題であるが、プログラムでは一次変数などを(メモリ上の変数ではなく)レジスタに置くことによって高速化を図る。なお、メモリ上に置いた変数がキャッシュ内にあるか主記憶だけにしかないかは、プログラムからは制御できず、そのときのキャッシュの使用状況による。

③: CPU はまずキャッシュをアクセスし、もしキャッシュ内に(主記憶データの)コピーがあればそれを使い、なければ主記憶に取りに行く、という手順である。

④: キャッシュは CPU の命令実行時間より短い時間でアクセスすることが求められるため、CPU チップ内部に置かれる。そのため容量はそれほど(主記憶ほど)大きくなるしない。

b. ②

c. ① ア)アクセス イ)キャッシュメモリにデータがあればそれを CPU に返す・無ければウ)へ行く
ウ)キャッシュメモリにデータが無ければ主記憶にアクセスして読み出す エ)データ読出し
CPU がデータをアクセスしようとするとき、まず初めにキャッシュへアクセスする(ア)。

もしアクセスしたいデータがキャッシュにあればそのままそれを CPU へ返す(イ)。

もし無ければ、キャッシュメモリは主記憶へそのデータを取りに行く(ウ)。(主記憶には必ずある)

キャッシュは主記憶からデータを受け取り(エ)、更に CPU へ返す(イ)

[3] a. ① ○ ② × (多くの実用的なプログラムでは成立つことが知られているが必ず成立つというものではない)

③ ○ (変数が近くに固まっておかれているとか、次の命令を順次アクセスするとかである)

④ ○ (さっきアクセスした変数にもう一度アクセスするとか、ループで同じ命令を繰り返しアクセスするとかである)

b. ① × ② ○ ③ × (ヒット率+ミス率=1である) ④ × (アクセスパターンでヒット率が変わる)

c. ① × ② × ③ ○ ④ ×

局所性が高い=メモリアドレス空間中のある限定された部分へのアクセス頻度が他に比べて高い=と、その部分がキャッシュに入っている時にヒットする可能性が増加する。④は CPU のメモリへのアクセス頻度=時間当たりのアクセス数=の高低はヒット率に関係しない。

d. (有効アクセス時間) = (ヒット率) × (キャッシュアクセス時間) + (1-(ヒット率)) × (主記憶アクセス時間)

キャッシュに無い時の確率(ミスヒット率)は、(1-ヒット率)で表される。また、キャッシュに無かった時にかかる時間は、2通りの考え方がされ(主記憶にアクセスする時間のみを数える vs キャッシュへのアクセス時間がかかった上に主記憶にアクセスする時間がかかる)、仕組上は両方の和が正しいかもしれないが、実際の所要時間はキャッシュアクセス時間は主記憶アクセス時間よりはるかに小さいので、無視できることが多い。(私はどちらでも○にしたい)

e. ①×(短くなる) ②○ ③○ ④比率が小さいとキャッシュ効果が小さくなり主記憶へのアクセスと変わらない

f. ヒット率を h と書くと、 $T_e = h \times 0.5 \text{ ナノ秒} + (1-h) \times 5 \text{ ナノ秒} = 5 - 4.5h \text{ ナノ秒}$ 。

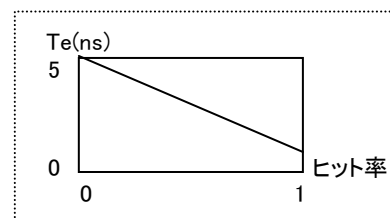
① グラフは右図。ヒット率 0 の時 $T_e = 5 \text{ ナノ秒}$ 、ヒット率 1 の時 $T_e = 0.5 \text{ ナノ秒}$ 。

② $1 = 5 - 4.5h$ であるから、 $h = 4 / 4.5 = 8 / 9 = 0.88\cdots$ 。89%である。

g. ② ヒット率を h と書くことにすると、 $T_e = h \times T_c + (1-h) \times T_m$ であり、かつ

$T_m = T_c \times 6$ で、 $T_e = T_c \times 1.5$

であるから、すべて T_c に置き換えると、 $T_c \times 1.5 = h \times T_c + (1-h) \times T_c \times 6$ 、両辺を T_c で割ると、 $1.5 = h + 6 \times (1-h)$ 。更に整理すると、 $5h = 4.5$ となり、 $h = 0.9$ となる。



h. ② 最初にミスしたとき、主記憶からキャッシュへの読出しは 64 バイトのかたまりで読み出すので、その 1 ブロック分の中には、4 バイトの長さの命令が 16 個入っている。つまり、1 回ミスすると、次の 15 個の命令は黙っていてもヒットしてしまう。その次の命令(つまり先頭から 17 個目の命令)を読もうとすると、今度はキャッシュに無いのでミスが起こって、また 1 ブロック分 = 64 バイト = 16 命令分を読み出す。また次の 15 命令は黙っていてもヒットする。これが繰り返される。だから、基本的に 16 命令に 1 回の割合でミスが起こる。1024 個の命令を読み出す間には $1024 \text{ 命令} / 16 \text{ 命令} = 64$ 回のミス \Rightarrow ブロック読出しが起こる。だから、ミスヒット率は 1024 回の読出しに対して 64 回のミスだから、 $64 / 1024$ 。ヒット率は $1 - (\text{ミスヒット率})$ 。

なお、ヒット率が 97% というのはずいぶん高いようだが、3-6 の値を使うと $T_e = 5 - (4.5 \times 0.97) = 0.635$ 。次の問と比較せよ。

i. ② h. で見たように、1 つのキャッシュブロック = 64 バイトには命令が 16 個入り、18 番目の命令から 21 番目の命令は 1 つのブロックに入ってしまう。つまり、このループを回っている間は、命令の読出し回数は増えるが、キャッシュのミスは起こらない。だから、ループの分が増えても、ミス数は 3-8 と変わらずに 64 回である。一方で、分母となる命令の読出し回数は、4 命令の間を 10000 回繰り返すので、その分だけで 40000 アクセス。それ以外のアクセス回数は元々 1024 命令だったものがこのループ内の 4 命令は数えてしまったので除くと、1020 アクセス。合わせて、41020 回となる。この場合のヒット率は、99.8% となり、前問と同様に 3-6 の値から T_e を求めると、 $T_e = 5 - (4.5 \times 0.998) = 0.509$ で T_c の 2% 増し程度になり、「実質、キャッシュのスピード」と言える位になる。

《基本情報処理技術者試験問題から》

1) キャッシュメモリに関する記述のうち、適切なものはどれか。(基本 21 春 12)(基本 18 春 22)(基本 16 秋 21)

ア 書込み命令を実行したときに、キャッシュメモリと主記憶の両方を書き換える方式と、キャッシュメモリだけを書き換えておき、主記憶の書換えはキャッシュメモリから当該データが追い出されるときに行う方式とがある。

イ キャッシュメモリにヒットしない場合に割込みが生じ、プログラムによって主記憶からキャッシュメモリにデータが転送される。

ウ キャッシュメモリは、実記憶と仮想記憶のメモリ容量の差を埋めるために採用される。

エ 半導体メモリのアクセス速度の向上が著しいので、キャッシュメモリの必要性は減っている。

2) 処理装置で用いられるキャッシュメモリの使用目的として、適切なものはどれか。(基本 17 春 20)

ア 仮想記憶のアドレス変換を高速に行う。

イ 仮想記憶のページング処理を高速に行う。

ウ 主記憶へのアクセス速度とプロセッサの処理速度の差を埋める。

エ 使用頻度の高いプログラムを常駐させる。

《解答》

1) ア イやウはキャッシュではなく、仮想記憶(主記憶と仮想記憶の間)の記述であり、仮想記憶の記述として正しい。

2) ウ アやイは仮想記憶に関する記述である。アのアドレス変換の高速化は TLB。イは特には無い。

